

10/8/110+

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-310683

(43)公開日 平成6年(1994)11月4日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	FI	技術表示箇所
H 0 1 L 27/11				
27/092				
27/108				
		7210-4M	H 0 1 L 27/ 10	3 8 1
		9170-4M	27/ 08	3 2 1 B
		審査請求 未請求	請求項の数 2	FD (全 6 頁) 最終頁に続く

(21)出願番号 特願平5-120758

(22)出願日 平成5年(1993)4月23日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 岡本 裕

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

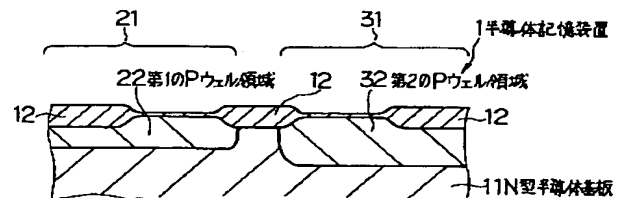
(74)代理人 弁理士 船橋 國則

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】 本発明は、ウェル領域の深さを変えることにより、DRAMまたはSRAM等の半導体記憶装置のソフトエラー耐性を高めて信頼性の向上を図る。

【構成】 第1導電型の半導体基板(N型半導体基板11)の上層に設けた第2導電型のウェル領域(第1のPウェル領域22)にメモリ素子を形成してなる半導体記憶装置1であって、第1のPウェル領域22を、他の同導電型のウェル領域(例えば第2のPウェル領域32)よりも浅く形成したものである。また第1のPウェル領域22の不純物濃度のピーク位置を、第2のPウェル領域32の不純物濃度のピーク位置よりも同等の深さまたは浅い位置に設定し、かつ第1のPウェル領域22のピーク値を第2のPウェル領域32のピーク値よりも高い値に設定したものである。



第1の発明を示す概略断面図

1

## 【特許請求の範囲】

【請求項1】 第1導電型の半導体基板の上層に設けた第2導電型のウェル領域にメモリ素子を形成してなる半導体記憶装置において、前記第2導電型のウェル領域を、当該第2導電型のウェル領域以外の同導電型のウェル領域よりも浅く形成したことを特徴とする半導体記憶装置。

【請求項2】 第1導電型の半導体基板の上層に設けた第2導電型のウェル領域にメモリ素子を形成してなる半導体記憶装置において、前記第2導電型のウェル領域における導電型不純物の濃度のピーク位置を、当該第2導電型のウェル領域以外の同導電型のウェル領域における導電型不純物の濃度のピーク位置よりも同等の深さまたは浅い位置に設定し、かつ前記第2導電型のウェル領域における導電型不純物の濃度のピーク値を他の同導電型のウェル領域における導電型不純物の濃度のピーク値よりも高い値に設定したことを特徴とする半導体記憶装置。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、DRAMあるいはSRAM等の半導体記憶装置に関するものである。

【0002】

【従来の技術】半導体記憶装置では、N型シリコン基板の上層にPウェル領域を形成して、そのPウェル領域にNチャネル型トランジスタを形成することは、広範に採用されている。上記構成の半導体記憶装置では、図6に示すように、N型シリコン基板61の上層にメモリセル領域62を形成するためのPウェル領域63と、例えば周辺回路領域64を形成するためのPウェル領域65とが形成されている。通常、上記各Pウェル領域63、65を形成するプロセスは、1回のホトリソグラフィ技術によってイオン注入マスクを形成し、1回のイオン注入法によってN型シリコン基板61中のPウェル領域63、65を形成しようとする領域にP型不純物を導入する。その後、アニール処理を行って、N型シリコン基板61の上層にPウェル領域63、65を形成する。したがって、各Pウェル領域63、65の深さはほぼ同等になる。さらに、各Pウェル領域63、65に、トランジスタやキャパシタ等の素子（図示せず）を形成して、半導体記憶装置を構成する。

【0003】

【発明が解決しようとする課題】しかしながら、上記構成の半導体記憶装置を、例えばSRAMのメモリセルに適用した場合には、ソフトエラー耐性が問題になる。例えば、メモリセル領域を形成するためのPウェル領域と周辺回路領域を形成するためのPウェル領域とは、通常、プロセスを簡単化するために同一プロセスで形成されるので、ほぼ同等の深さになる。このため、例えばメモリセル領域のPウェル領域に $\alpha$ 線が入射した場合に

2

は、入射した $\alpha$ 線によって発生電荷量が増加する。この結果、メモリセル領域の、例えばNチャネル型トランジスタのソフトエラー耐性が低下し、誤動作の原因になる。

【0004】さらに具体的に、例えばMOSキャパシタが使用されているもので説明する。メモリ信号は“1”または“0”で表される。例えば、“1”の場合が電荷がない状態で、“0”が電荷がある状態に対応するとき、電荷がない状態“1”のとき、外部より高エネルギーの粒子（例えば $\alpha$ 線）がシリコン基板内に入射されると、これによって、電子-正孔対が発生する。このうち電子はMOSキャパシタに引き寄せられるので、外部よりメモリを操作しないにもかかわらず、電荷のある状態“0”に変化する。ところが、時間がたつともとの状態に戻る。一方、正孔はシリコン基板に流れる。このように、半導体記憶装置が物理的に破壊されたわけではないにもかかわらず誤動作を引き起こす。

【0005】本発明は、ソフトエラー耐性に優れた半導体記憶装置を提供することを目的とする。

【0006】

【課題を解決するための手段】本発明は、上記目的を達成するためになされた半導体記憶装置である。すなわち、第1導電型の半導体基板の上層に設けた第2導電型のウェル領域にメモリ素子を形成してなる半導体記憶装置であって、第2導電型のウェル領域を、当該第2導電型のウェル領域以外の同導電型のウェル領域よりも浅く形成したものである。

【0007】また第2導電型のウェル領域における導電型不純物の濃度のピーク位置を、当該第2導電型のウェル領域以外の同導電型のウェル領域における導電型不純物の濃度のピーク位置よりも同等の深さまたは浅い位置に設定し、かつ第2導電型のウェル領域における導電型不純物の濃度のピーク値を他の同導電型のウェル領域における導電型不純物の濃度のピーク値よりも高い値に設定したものである。

【0008】

【作用】上記構成の半導体記憶装置では、第2導電型のウェル領域を、当該第2導電型のウェル領域以外の同導電型のウェル領域よりも浅く形成したことにより、 $\alpha$ 線が入射した際の浅く形成した第2導電型のウェル領域における当該 $\alpha$ 線による発生電荷量が低減される。このため、ソフトエラーが発生し難くなる。

【0009】また第2導電型のウェル領域における導電型不純物の濃度のピーク値およびその位置を、当該第2導電型のウェル領域以外の同導電型のウェル領域における導電型不純物の濃度のピーク値よりも高い値に設定し、かつその位置を同等の深さまたは浅い位置に設定したことにより、ポテンシャル障壁が高くなる。このため、導電型不純物の濃度のピーク値を高くした第2導電型のウェル領域では、電荷が収集され難くなるので、ソ

## 3

フトエラーが発生し難くなる。

【0010】

【実施例】本発明の実施例を、図1の第1の発明を示す概略断面図により説明する。図に示すように、第1導電型（例えばN型）の半導体基板11（以下N型半導体基板11と記す）の上層にはメモリセル領域21に形成される素子（図示せず）や例えば周辺回路領域31に形成される素子（図示せず）を電氣的に区分する素子分離領域12が形成されている。上記N型半導体基板11は、例えばN型の単結晶シリコンよりなる。

【0011】上記N型半導体基板11に設定されるメモリセル領域21の当該N型半導体基板11の上層には第2導電型（例えばP型）のウェル領域22（以下第1のPウェル領域22と記す）が形成されている。さらに当該N型半導体基板11に設定される周辺回路領域31の上記N型半導体基板11の上層には、第2導電型（例えばP型）のウェル領域32（以下第2のPウェル領域32と記す）が形成されている。上記第1のPウェル領域22は、上記メモリセル領域21以外のPウェル領域、例えば上記第2のPウェル領域32よりも浅く形成されている。

【0012】さらに、図示はしないが、上記メモリセル領域21には、メモリ素子を構成するトランジスタやキャパシタ等の素子が形成されている。また上記周辺回路領域31には、周辺回路を構成するトランジスタやキャパシタ等の素子が形成されている。このように半導体記憶装置1は構成される。

【0013】上記第1、第2のPウェル領域22、32の各深さ方向における不純物濃度の分布を、図2の不純物濃度の分布図により説明する。図において、(1)は第1のPウェル領域22の不純物濃度分布を示し、(2)は第2のPウェル領域32の不純物濃度分布を示す。また、各縦軸は不純物濃度Cを示し、各横軸は深さ $x_j$ を示す。

【0014】図に示すように、第1のPウェル領域22の深さ $x_j$ は1.1 $\mu\text{m}$ であって、第2のPウェル領域32の深さ $x_j$ は1.5 $\mu\text{m}$ である。したがって、第1のPウェル領域22の方が第2のPウェル領域32よりも浅く形成されている。

【0015】上記構成の半導体記憶装置1では、第1のPウェル領域22を、メモリセル領域21以外のPウェル領域、例えば第2のPウェル領域32よりも浅く形成したことにより、 $\alpha$ 線等の高エネルギー粒子が入射した際のメモリセル領域21における発生電荷量が低減される。しかもその際に、静電強度やラッチアップ耐性の劣化はない。

【0016】次に上記半導体記憶装置1の製造方法の一例を、図3の製造工程図により説明する。図では、上記図1で説明したと同様の構成部品には同一符号を付す。

【0017】図3の(1)に示すように、第1の工程で

## 4

は、例えば通常のLOCOS法によって、第1導電型（例えばN型）の半導体基板11（以下N型半導体基板11と記す）の上層に、例えばメモリセル領域21に形成される素子（図示せず）や周辺回路領域31に形成される素子（図示せず）等を電氣的に区分する素子分離領域12を形成する。

【0018】次いで図3の(2)に示すように、第2の工程を行う。この工程では、通常の塗布技術によって、上記N型半導体基板11の上面にレジストよりなるイオン注入マスク41を形成する。次いで通常のホトリソグラフィ技術によって、第1のPウェル領域が形成される領域上における上記イオン注入マスク41の所定位置に開口部42を形成する。続いて通常のイオン注入法によって、上記開口部42よりP型不純物51を上記N型半導体基板11中に導入する。このとき、P型不純物51は通常の深さより浅く導入される。その後、例えばアッシャー処理またはウェットエッチング等によって、上記イオン注入マスク41を除去する。

【0019】続いて図3の(3)に示すように、第3の工程を行う。この工程では、通常の塗布技術によって、上記N型半導体基板11の上面にレジストよりなるイオン注入マスク43を形成する。次いで通常のホトリソグラフィ技術によって、第2のPウェル領域が形成される領域上における上記イオン注入マスク43の所定位置に開口部44を形成する。続いて通常のイオン注入法によって、上記開口部44よりP型不純物51を上記N型半導体基板11中に導入する。このとき、P型不純物51は通常の深さに導入されるので、第2の工程で導入した深さより深い位置に導入されることになる。その後、例えばアッシャー処理またはウェットエッチング等によって、上記イオン注入マスク41を除去する。なお、上記第2の工程と上記第3の工程とはどちらを先に行ってもよい。

【0020】その後図3の(4)に示すように、第3の工程を行う。この工程では、通常のアニール処理によって、上記N型半導体基板11中に導入したP型不純物(51)を拡散して、当該N型半導体基板11の上層の所定位置に第1のPウェル領域22を形成するとともに、第2のPウェル領域32を形成する。このとき、上記第1のPウェル領域22は、メモリセル領域21に形成される以外のPウェル領域、例えば上記第2のPウェル領域32よりも浅く形成される。

【0021】さらに、図示はしないが、上記第1のPウェル領域22にはトランジスタやキャパシタ等のメモリ素子が形成され、上記第2のPウェル領域32には、例えば周辺回路を構成する素子が形成される。

【0022】次に第2の発明の実施例を、図4の概略断面図により説明する。図では、上記図1で説明したと同様の構成部品には同一符号を付す。

【0023】図に示すように、第1導電型（例えばN

5

型)の半導体基板 11 (以下N型半導体基板 11と記す)の上層にはメモリセル領域 21に形成される素子

(図示せず)や例えば周辺回路領域 31に形成される素子(図示せず)を電氣的に区分する素子分離領域 12が、形成されている。上記N型半導体基板 11は、例えばN型の単結晶シリコンよりなる。

【0024】上記N型半導体基板 11に設定されるメモリセル領域 21の当該N型半導体基板 11の上層には第2導電型(例えばP型)のウェル領域 22(以下第1のPウェル領域 22と記す)が形成されている。さらに当該N型半導体基板 11に設定される周辺回路領域 31の上記N型半導体基板 11の上層には、第2導電型(例えばP型)のウェル領域 32(以下第2のPウェル領域 32と記す)が形成されている。

【0025】上記第1のPウェル領域 22における導電型不純物の濃度のピークは、上記第2のPウェル領域 32における導電型不純物の濃度のピークよりも同等の深さまたは浅い位置に設定され、かつ第1のPウェル領域 22における濃度のピーク値は、第2のPウェル領域 32における濃度のピーク値よりも高い値に設定されている。

【0026】さらに、図示はしないが、上記メモリセル領域 21には、メモリ素子を構成するトランジスタやキャパシタ等の素子が形成されている。また上記周辺回路領域 31には、周辺回路を構成するトランジスタやキャパシタ等の素子が形成されている。このように半導体記憶装置 2は構成されている。

【0027】図4の構成における第1、第2のPウェル領域 22、32の各深さ方向における不純物濃度の分布を、図5の不純物濃度の分布図により説明する。図において、(1)は第1のPウェル領域 22の不純物濃度分布を示し、(2)は第2のPウェル領域 32の不純物濃度分布を示す。また、各縦軸は不純物濃度Cを示し、各横軸は深さ $x_j$ を示す。

【0028】図に示すように、上記第1のPウェル領域 22における導電型不純物の濃度のピーク位置は、例えば $x_j = 0.6 \mu\text{m}$ であって、上記第2のPウェル領域 32における導電型不純物の濃度のピーク位置は、例えば $x_j = 0.8 \mu\text{m}$ である。このように、上記第1のPウェル領域 22における導電型不純物の濃度のピーク位置は上記第2のPウェル領域 32における導電型不純物の濃度のピーク位置よりも浅い位置に設定されている。しかも第1のPウェル領域 22における濃度のピーク値は $2.00 \text{ P cm}^{-2}$ であって、第2のPウェル領域 32における濃度のピーク値は $1.00 \text{ P cm}^{-2}$ になっているので、第1のPウェル領域 22における濃度のピーク値の方が第2のPウェル領域 32における濃度のピーク値よりも高い。なお、上記第1のPウェル領域 22における濃度のピーク位置は上記第2のPウェル領域 32における濃度のピーク位置と同等の深さであってもよい。

6

【0029】上記構成の半導体記憶装置 2では、第1のPウェル領域 22における導電型不純物の濃度のピークを、当該第1のPウェル領域 22以外の同導電型のウェル領域、例えば第2のPウェル領域 32における導電型不純物の濃度のピークよりも同等の深さまたは浅い位置に設定してかつ濃度のピーク値を高く設定したことにより、ポテンシャル障壁が高くなる。このため、 $\alpha$ 線等の高エネルギー粒子が入射しても、第1のPウェル領域 22には第2のPウェル領域 32よりも電荷が収集され難くなる。しかもその際に静電強度やラッチアップ耐性の劣化はない。

【0030】上記半導体記憶装置 2の製造方法は、図3で説明したとほぼ同様である。その際、イオン注入時の打ち込みエネルギーを調節して、第1、第2のPウェル領域 22、32の濃度のピーク位置を設定する。

【0031】なお、上記各実施例における説明で用いた数値は一例であって、その値に限定されない。

【0032】

【発明の効果】以上、説明したように本発明によれば、第2導電型のウェル領域を、当該第2導電型のウェル領域以外の同導電型のウェル領域よりも浅く形成したので、 $\alpha$ 線が入射した際の発生電荷量が低減できる。このため、ソフトエラーが発生を抑えることが可能になるので、半導体記憶装置の信頼性の向上が図れる。

【0033】また第2導電型のウェル領域における導電型不純物の濃度のピークを、当該第2導電型のウェル領域以外の同導電型のウェル領域における導電型不純物の濃度のピークよりも同等の深さまたは浅い位置に設定してかつ第2導電型のウェル領域における導電型不純物の濃度のピーク値を他の同導電型のウェル領域における導電型不純物の濃度のピーク値よりも高く設定したので、ポテンシャル障壁が高くなる。したがって、 $\alpha$ 線が入射しても電荷が収集され難くなる。このため、上記同様に、ソフトエラーの発生を抑えることが可能になるので、半導体記憶装置の信頼性の向上が図れる。

【図面の簡単な説明】

【図1】第1の発明を示す概略断面図である。

【図2】第1の発明における不純物濃度の分布図である。

【図3】第1の発明における製造工程図である。

【図4】第2の発明を示す概略断面図である。

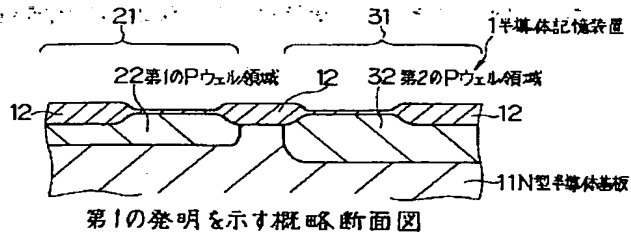
【図5】第2の発明における不純物濃度の分布図である。

【図6】従来例の概略断面図である。

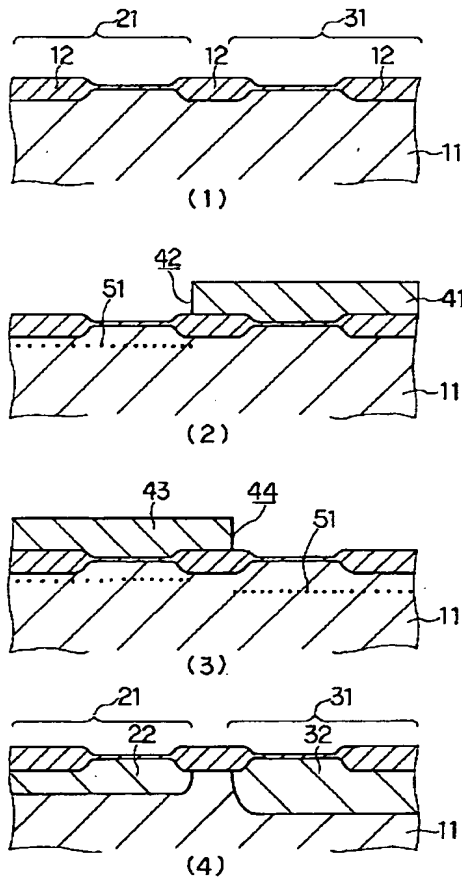
【符号の説明】

1 半導体記憶装置	2 半導体記憶装置
11 N型半導体基板	
22 第1のPウェル領域	32 第2のPウェル領域

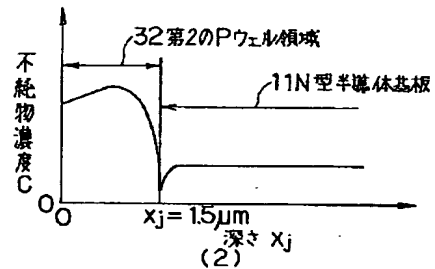
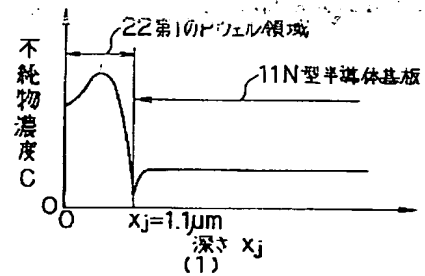
【図1】



【図3】

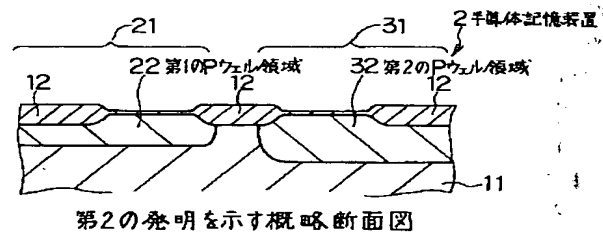


【図2】

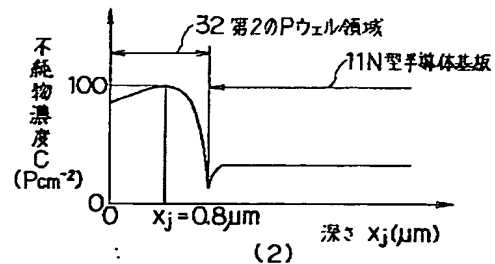
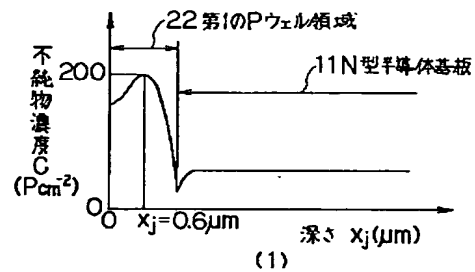


第1の発明における不純物濃度の分布図

【図4】

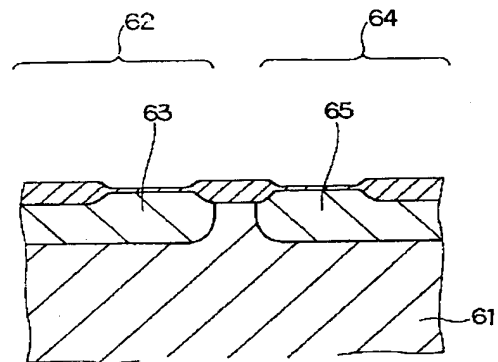


【図5】



第2の発明における不純物濃度の分布図

【図6】



従来例の概略断面図

---

フロントページの続き

(51) Int. Cl. 5

識別記号

庁内整理番号  
7210-4M

F I

H 0 1 L 27/10

技術表示箇所

3 2 5 H